

M. Furumiya et al.  
1/9/04  
Q 79080  
10f1

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月 16日

出願番号 Application Number: 特願 2003-008286

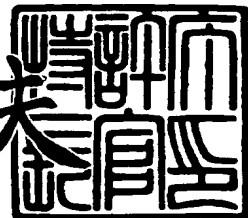
[ST. 10/C]: [JP 2003-008286]

出願人 Applicant(s): NECエレクトロニクス株式会社

2003年11月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 74120035  
【あて先】 特許庁長官 太田 信一郎 殿  
【国際特許分類】 H01L 27/04  
【発明の名称】 半導体装置  
【請求項の数】 21  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
【氏名】 富留宮 正之  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
【氏名】 大窪 宏明  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
【氏名】 中柴 康隆  
【特許出願人】  
【識別番号】 302062931  
【氏名又は名称】 NECエレクトロニクス株式会社  
【代理人】  
【識別番号】 100090158  
【弁理士】  
【氏名又は名称】 藤巻 正憲  
【電話番号】 03-3539-5651  
【手数料の表示】  
【予納台帳番号】 009782  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216549

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 相互に積層された複数層の配線層を有し、前記各配線層は、層間絶縁膜と、この層間絶縁膜に埋め込まれ相互に離隔する第1及び第2の電極と、前記第1の電極とその上層又は下層に設けられた配線層の前記第1の電極とを相互に接続する第1のビアと、前記第2の電極とその上層又は下層に設けられた配線層の前記第2の電極とを相互に接続する第2のビアと、を有し、前記第1の電極及び第1のビアが第1の端子に接続され、前記第2の電極及び第2のビアが第2の端子に接続され、前記第1の電極及び第1のビアと前記第2の電極及び第2のビアとの間でキャパシタが形成されることを特徴とする半導体装置。

【請求項 2】 前記複数の配線層は、相互に同一の設計ルールで設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記配線層が3層以上設けられていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項 4】 前記配線層の積層方向から見て、複数個の前記第1のビアが相互に重なる位置に配置されており、複数個の前記第2のビアが相互に重なる位置に配置されていることを特徴とする請求項3に記載の半導体装置。

【請求項 5】 前記配線層の積層方向から見て、複数個の前記第1の電極が相互に重なる位置に配置されており、複数個の前記第2の電極が相互に重なる位置に配置されていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項 6】 同一の配線層において、前記第1の電極と前記第2の電極との間の距離が $0.2\mu m$ 以下であることを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項 7】 同一の配線層において、前記第1の電極と前記第2の電極との間の距離が、前記配線層の設計ルールにより許容される最小値であることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

【請求項 8】 前記第1のビアと、この第1のビアに最も近い位置に形成さ

れた前記第2のビアとの間の距離が、前記配線層の設計ルールにより許容される最小値であることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置。

**【請求項9】** 前記第1及び第2の電極は相互に平行の短冊状をなすことを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置。

**【請求項10】** 前記第1及び第2の電極の幅が $0.2\mu m$ 以下であることを特徴とする請求項9に記載の半導体装置。

**【請求項11】** 前記第1及び第2の電極の幅が前記配線層の設計ルールにより許容される最小値であることを特徴とする請求項9又は10に記載の半導体装置。

**【請求項12】** 前記各配線層に前記第1及び第2の電極が夫々複数個設けられており、各配線層において前記第1及び第2の電極が交互に配列されていることを特徴とする請求項9乃至11のいずれか1項に記載の半導体装置。

**【請求項13】** 各前記第1及び第2の電極について、前記第1及び第2のビアが夫々複数個前記第1及び第2の電極の長手方向に配列されて設けられていることを特徴とする請求項9乃至12のいずれか1項に記載の半導体装置。

**【請求項14】** 前記第1の電極の長手方向における前記第1のビア間の距離は、前記各配線層において隣り合う前記第1及び第2の電極の第1及び第2のビア間の距離よりも大きく、前記第2の電極の長手方向における前記第2のビア間の距離は、前記各配線層において隣り合う前記第1及び第2の電極の第1及び第2のビア間の距離よりも大きいことを特徴とする請求項13に記載の半導体装置。

**【請求項15】** 前記第1及び第2のビアの少なくとも一方が、前記第1及び第2の電極の長手方向に延びるスリット型のビアであることを特徴とする請求項9乃至14のいずれか1項に記載の半導体装置。

**【請求項16】** 集積回路部を有し、前記第1及び第2のビアの径が、前記集積回路部内に設けられたビアの径よりも大きいことを特徴とする請求項1乃至15のいずれか1項に記載の半導体装置。

**【請求項17】** 前記第1の端子が接地配線に接続され、前記第2の端子が

電源配線に接続されており、前記キャパシタが電源に並列に接続されたデカップリングキャパシタであることを特徴とする請求項1乃至16のいずれか1項に記載の半導体装置。

【請求項18】 前記配線層が半導体チップ内に形成されており、前記接地配線及び前記電源配線が前記半導体チップの外周に配置されていることを特徴とする請求項17に記載の半導体装置。

【請求項19】 前記第1及び第2の電極の直下域を含む領域に設けられ前記第1及び第2の端子のうち一方に接続された上部電極と、この上部電極の下方に設けられた絶縁膜と、この絶縁膜の下方に設けられ前記第1及び第2の端子のうち他方に接続された下部電極と、を有し、前記上部電極と前記下部電極との間で他のキャパシタが形成されることを特徴とする請求項1乃至18のいずれか1項に記載の半導体装置。

【請求項20】 前記第1及び第2の電極の直下域を含む領域に設けられ前記第1及び第2の端子のうちより高い電位が印加される端子に接続されたN型半導体層と、前記直下域を含む領域に前記N型半導体層に接するように設けられ前記第1及び第2の端子のうちより低い電位が印加される端子に接続されたP型半導体層と、を有し、前記N型半導体層と前記P型半導体層との間で更に他のキャパシタが形成されることを特徴とする請求項1乃至19のいずれか1項に記載の半導体装置。

【請求項21】 前記配線層の下方に配置された半導体基板を有し、この半導体基板は、前記第1及び第2の電極の直下域を含む領域に形成され前記第1及び第2の端子のうちより高い電位が印加される端子に接続されたN型半導体領域と、前記直下域を含む領域に前記N型半導体領域に接するように形成され前記第1及び第2の端子のうちより低い電位が印加される端子に接続されたP型半導体領域と、を有し、前記N型半導体領域と前記P型半導体領域との間で更に他のキャパシタが形成されることを特徴とする請求項1乃至19のいずれか1項に記載の半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

### 【発明の属する技術分野】

本発明はMIM (Metal-Insulator-Metal) キャパシタを備えた半導体装置に  
関し、特に、製造工程の簡略化を図った半導体装置に関する。

### 【0002】

#### 【従来の技術】

従来、半導体装置内にキャパシタを形成する際には、基板上に下部電極、容量  
絶縁膜及び上部電極をこの順に積層してMIMキャパシタを形成している（例え  
ば、非特許文献1参照。）。

### 【0003】

図4は従来のMIMキャパシタを備えた半導体装置を示す断面図である。図4  
に示すように、この従来の半導体装置においては、基板101上に酸化膜102  
が設けられ、その上に金属からなる下部電極103が設けられている。そして、  
この下部電極103上に容量絶縁膜104が設けられており、その上に上部電極  
105が設けられ、その上にキャップ膜106が設けられている。上部電極10  
5は下地層107及びビア108を介して配線109に接続されており、下部電  
極103は下地層107及びビア110を介して配線111に接続されている。  
これにより、下部電極103、容量絶縁膜104及び上部電極105によりMIM  
キャパシタ112が形成される。また、下部電極103、容量絶縁膜104及  
び上部電極105等は層間絶縁膜113に埋め込まれている。

### 【0004】

また、下部電極を覆うように容量絶縁膜及び上部電極を形成して、下部電極の  
上面の他に側面も使用してMIMキャパシタを形成する技術も開示されている（  
例えば、特許文献1参照。）。

### 【0005】

図5(a)はこの従来のMIMキャパシタを備えた半導体装置を示す平面図で  
あり、(b)は(a)に示すD-D線による断面図である。図5(a)及び(b)  
に示すように、この従来の半導体装置においては、シリコン基板121が設け  
られており、このシリコン基板121の表面の一部に拡散層122が形成されて  
いる。また、シリコン基板121上には層間絶縁膜123が設けられており、層

間絶縁膜123内には拡散層122に接続するプラグ124が形成されている。更に、層間絶縁膜123上には、プラグ124に接続するように下部電極125が設けられており、この下部電極125を覆うようにバリア絶縁層126及び高誘電率膜127が設けられている。そして、バリア絶縁層126及び高誘電率膜127により容量絶縁膜128が形成されている。また、容量絶縁膜128を覆うように、上部電極129が設けられている。これにより、下部電極125、容量絶縁膜128及び上部電極129により、キャパシタ130が形成される。この従来の技術によれば、下部電極125の上面の他に側面にも容量を形成することができる。

### 【0006】

#### 【非特許文献1】

M. Armacost, et. al. "A High Reliability Metal Insulator Metal Capacitor for 0.18 $\mu$ m Copper Technology" IEDM2000 pp. 157-160

#### 【特許文献1】

特開2002-222934号公報

### 【0007】

#### 【発明が解決しようとする課題】

しかしながら、前述の従来の技術には、以下に示すような問題点がある。前述の如く、下部電極、容量絶縁膜、上部電極をこの順に積層してキャパシタを形成する場合、下部電極は半導体装置の配線層に、他の配線と同時に形成することができる。しかしながら、容量絶縁膜として通常の層間絶縁膜を使用すると、層間絶縁膜の厚さは0.3乃至1.0 $\mu$ m程度であるため、容量絶縁膜が厚くなりすぎてキャパシタの容量値が低下してしまう。このため、容量絶縁膜には厚さが50nm程度の絶縁膜を特別に形成し、この容量絶縁膜上に上部電極を形成している。この結果、容量絶縁膜及び上部電極を形成するための特別な工程が必要となり、キャパシタを形成しない場合と比較して、マスク数が1～2枚程度増加すると共に、追加のエッチング工程も必要となる。これにより、半導体装置の製造工程が複雑になり、製造コストが増加してしまう。

### 【0008】

本発明はかかる問題点に鑑みてなされたものであって、MIMキャパシタを備えた半導体装置において、キャパシタを形成するための特別な工程を必要としない半導体装置を提供することを目的とする。

### 【0009】

#### 【課題を解決するための手段】

本発明に係る半導体装置は、相互に積層された複数層の配線層を有し、前記各配線層は、層間絶縁膜と、この層間絶縁膜に埋め込まれ相互に離隔する第1及び第2の電極と、前記第1の電極とその上層又は下層に設けられた配線層の前記第1の電極とを相互に接続する第1のビアと、前記第2の電極とその上層又は下層に設けられた配線層の前記第2の電極とを相互に接続する第2のビアと、を有し、前記第1の電極及び第1のビアが第1の端子に接続され、前記第2の電極及び第2のビアが第2の端子に接続され、前記第1の電極及び第1のビアと前記第2の電極及び第2のビアとの間でキャパシタが形成されることを特徴とする。

### 【0010】

本発明においては、半導体装置の配線層において、第1及び第2の電極を通常の配線と同時に形成することができると共に、第1及び第2のビアを通常のビアと同時に形成することができる。このため、キャパシタを形成するための特別な工程を設ける必要がない。また、複数層の配線層に第1及び第2の電極を形成し、第1の電極間を第1のビアで接続し、第2の電極間を第2のビアで接続し、第1の電極及び第1のビアを第1の端子に接続し、第2の電極及び第2のビアを第2の端子に接続することにより、第1の電極及び第1のビアと第2の電極及び第2のビアとの間でキャパシタを形成することができる。このように、キャパシタの構造を縦積構造とすることにより、キャパシタにおける単位面積当たりの容量値を増大させることができる。

### 【0011】

また、前記複数の配線層は、相互に同一の設計ルールで設けられていることが好ましい。これにより、各配線層に同一形状の第1及び第2の電極を形成することができ、キャパシタの設計が容易になると共に、単位面積当たりの容量値をより一層向上させることができる。

**【0012】**

更に、前記配線層が3層以上設けられていることが好ましい。これにより、キャパシタの構造を縦積構造とする効果が顕著になり、単位面積当たりのキャパシタの容量値をより一層向上させることができる。

**【0013】**

更にまた、前記配線層の積層方向から見て、複数個の前記第1のビアが相互に重なる位置に配置されており、複数個の前記第2のビアが相互に重なる位置に配置されていることが好ましい。これにより、一の配線層に設けられた第1のビアと、他の配線層に設けられた第1のビアとの間の距離が小さくなり、第1の電極及び第1のビアからなる構造体の内部抵抗を低減することができる。同様に、第2の電極及び第2のビアからなる構造体の内部抵抗を低減することができる。また、同一の配線層内において、第1のビアと第2のビアとの間の距離を小さくすることができるため、第1のビアと第2のビアとの間の容量値を増大させることができる。

**【0014】**

更にまた、前記配線層の積層方向から見て、複数個の前記第1の電極が相互に重なる位置に配置されており、複数個の前記第2の電極が相互に重なる位置に配置されていることが好ましい。これにより、配線層の積層方向から見て、キャパシタの面積を低減することができ、この結果、単位面積当たりの容量値を増大させることができる。

**【0015】**

更にまた、同一の配線層において、前記第1の電極と前記第2の電極との間の距離が $0.2\mu m$ 以下であることが好ましい。これにより、電極間の距離が従来の容量絶縁膜の厚さ（例えば $50nm$ ）の4倍程度と小さくなり、キャパシタの容量値を大きくすることができる。

**【0016】**

更にまた、同一の配線層において、前記第1の電極と前記第2の電極との間の距離が、前記配線層の設計ルールにより許容される最小値であることが好ましく、前記第1のビアと、この第1のビアに最も近い位置に形成された前記第2のビ

アとの間の距離が、前記配線層の設計ルールにより許容される最小値であることが好ましい。更に、各電極におけるビアが電極の長手方向に沿って1列に配置され、全ての第1のビアが夫々第2のビアに対向するように配置されていることが好ましい。これにより、同一の配線層内において、前記第1の電極と前記第2の電極との間の距離、及び第1のビアと第2のビアとの間の距離を小さくすることができるため、キャパシタの容量値を増大させることができる。

#### 【0017】

更にまた、前記第1及び第2の電極は相互に平行の短冊状をなすことが好ましい。これにより、第1及び第2の電極におけるキャパシタの容量値に寄与する側面の面積を増大させることができ、キャパシタにおける単位面積当たりの容量値を増大させることができる。

#### 【0018】

このとき、各前記第1及び第2の電極について、前記第1及び第2のビアが夫々複数個前記第1及び第2の電極の長手方向に配列されて設けられていることが好ましい。これにより、全ての第1のビアが第2のビアに対向するようになり、キャパシタ全体の容量値が増大する。

#### 【0019】

また、このとき、前記第1の電極の長手方向における前記第1のビア間の距離は、前記各配線層において隣り合う前記第1及び第2の電極の第1及び第2のビア間の距離よりも大きく、前記第2の電極の長手方向における前記第2のビア間の距離は、前記各配線層において隣り合う前記第1及び第2の電極の第1及び第2のビア間の距離よりも大きいことが好ましい。これにより、第1のビアと第2のビアとの間の距離を増大させることなく、第1及び第2のビアを形成する際のリソグラフィの精度を確保し、第1のビアが第2のビアに接触することを防止できる。

#### 【0020】

又は、前記第1及び第2のビアの少なくとも一方が、前記第1及び第2の電極の長手方向に延びるスリット型のビアであってもよい。

#### 【0021】

更にまた、本発明に係る半導体装置は集積回路部を有し、前記第1及び第2のビアの径が、前記集積回路部内に設けられたビアの径よりも大きくてもよい。これにより、第1及び第2のビアの側面積が増大すると共に、第1のビアと第2のビアとの間隔が小さくなつて、第1及び第2のビア間の容量値を増加させることができる。

#### 【0022】

更にまた、前記第1の端子が接地配線に接続され、前記第2の端子が電源配線に接続されており、前記キャパシタが電源に並列に接続されたデカップリングキャパシタであつてもよい。これにより、電源ノイズを吸収することができ、半導体装置の動作の安定化を図ることができる。

#### 【0023】

更にまた、本発明に係る半導体装置は、前記第1及び第2の電極の直下域を含む領域に設けられ前記第1及び第2の端子のうち一方に接続された上部電極と、この上部電極の下方に設けられた絶縁膜と、この絶縁膜の下方に設けられ前記第1及び第2の端子のうち他方に接続された下部電極と、を有し、前記上部電極と前記下部電極との間で他のキャパシタが形成されてもよい。これにより、前記キャパシタと前記他のキャパシタの合計容量値を得ることができ、キャパシタの単位面積当たりの容量値をより一層向上させることができる。

#### 【0024】

更にまた、前記第1及び第2の電極の直下域を含む領域に設けられ前記第1及び第2の端子のうちより高い電位が印加される端子に接続されたN型半導体層と、前記直下域を含む領域に前記N型半導体層に接するように設けられ前記第1及び第2の端子のうちより低い電位が印加される端子に接続されたP型半導体層と、を有し、前記N型半導体層と前記P型半導体層との間で更に他のキャパシタが形成されていてもよい。これにより、前記キャパシタと前記更に他のキャパシタの合計容量値を得ることができ、キャパシタの単位面積当たりの容量値をより一層向上させることができる。

#### 【0025】

又は、前記配線層の下方に配置された半導体基板を有し、この半導体基板は、

前記第1及び第2の電極の直下域を含む領域に形成され前記第1及び第2の端子のうちより高い電位が印加される端子に接続されたN型半導体領域と、前記直下域を含む領域に前記N型半導体領域に接するように形成され前記第1及び第2の端子のうちより低い電位が印加される端子に接続されたP型半導体領域と、を有し、前記N型半導体領域と前記P型半導体領域との間で更に他のキャパシタが形成されていてもよい。これにより、前記キャパシタと前記更に他のキャパシタの合計容量値を得ることができ、キャパシタの単位面積当たりの容量値をより一層向上させることができる。

### 【0026】

#### 【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本実施形態に係る半導体装置に設けられたMIMキャパシタを示す斜視図であり、図2はこのMIMキャパシタを示す平面図であり、図3（a）は図2に示すA-A線による断面図であり、（b）はB-B線による断面図である。

### 【0027】

図1に示すように、本実施形態に係る半導体装置においては、半導体基板（図示せず）が設けられ、この半導体基板上に複数層、例えば9層の配線層が積層されている。この9層の配線層のうち、下から、即ち半導体基板側から2番目乃至5番目の配線層（以下、配線層M2乃至M5という）は中間配線層であり、相互に同一の設計ルールで設けられている。下から6番目乃至9番目の配線層（以下、配線層M6乃至M9という）は、グローバル配線層であり、配線層M2乃至M5とは設計ルールが異なり、最小寸法が配線層M2乃至M5よりも大きくなっている。また、最下層の配線層（配線層M1）は、配線層M2乃至M5と設計ルールが異なり、最小寸法が配線層M2乃至M5よりも小さくなっている。

### 【0028】

また、図3（a）及び（b）に示すように、各配線層においては、層間絶縁膜1が設けられており、この層間絶縁膜1の表面に配線が設けられており、層間絶縁膜1における前記配線の下方に、この配線とその下層の配線層に設けられた配線とを相互に接続するビアが設けられている。

### 【0029】

特に、半導体装置のキャパシタ形成領域においては、層間絶縁膜1の表面に前記配線と同層に、長手方向が同一である各4枚の短冊状の電極が埋め込まれている。即ち、配線層M2においては、配線層M2の表面に電極2A及び電極2Bが各2枚ずつ設けられており、相互に平行に、交互に、且つ、配線層M2乃至M5の積層方向に直交する方向に相互に離隔して配置されている。同様に、配線層M3においては電極3A及び3Bが、配線層M4においては電極4A及び4Bが、配線層M5においては電極5A及び5Bが、各2枚ずつ相互に平行に、交互に、且つ相互に離隔して配置されている。電極2A乃至5Bは、半導体装置の通常の配線形成工程において、キャパシタ形成領域以外の領域の配線と同時に形成されたものである。

### 【0030】

一方、グローバル配線層、即ち、配線層M6乃至M9のいずれかの配線層には、接地配線GND及び電源配線VDDが設けられている。そして、配線層M5に設けられた電極5Aは、接地配線GNDに例えばビア（図示せず）を介して接続されており、電極5Bは、電源配線VDDに例えばビア（図示せず）を介して接続されている。電極2A乃至5Bの長手方向の長さは例えば10乃至100 $\mu\text{m}$ であり、幅は設計ルールにおいて許容される最小寸法であり、0.2 $\mu\text{m}$ 以下、例えば0.14 $\mu\text{m}$ である。また、電極2Aと電極2Bとの間の距離は、設計ルールにおいて許容される最小寸法であり、0.2 $\mu\text{m}$ 以下、例えば0.14 $\mu\text{m}$ である。電極3Aと電極3Bとの間の距離、電極4Aと電極4Bとの間の距離、電極5Aと電極5Bとの間の距離も同様であり、0.2 $\mu\text{m}$ 以下、例えば、0.14 $\mu\text{m}$ である。

### 【0031】

また、図2並びに図3（a）及び（b）に示すように、配線層M3においては、電極2Aを電極3Aに接続する複数のビアVA3が設けられている。ビアVA3は、電極2A及び3Aの長手方向に沿って1列に配列されている。ビアVA3の形状は、配線層の積層方向から見て、例えば正方形形状に設計されており、1辺の長さは例えば0.13 $\mu\text{m}$ である。

### 【0032】

また、配線層M3においては、電極2Bを電極3Bに接続する複数のビアVB3が設けられている。ビアVB3の配列、形状及び寸法は、ビアVA3と同様である。同様に、配線層M4においては、電極3Aを電極4Aに接続する複数のビアVA4、及び、電極3Bを電極4Bに接続する複数のビアVB4が設けられており、配線層M5においては、電極4Aを電極5Aに接続する複数のビアVA5、及び、電極4Bを電極5Bに接続する複数のビアVB5が設けられている。ビアVA3乃至VB5は、半導体装置の通常のビア形成工程において、キャパシタ形成領域以外の領域のビアと同時に形成されたものである。

### 【0033】

上述のような構成により、図1に示すように、電極2A乃至5A及びビアVA3乃至VA5が相互に接続されて構造体10Aを形成し、この構造体10Aは端子（図示せず）を介して接地配線GNDに接続される。また、電極2B乃至5B及びビアVB3乃至VB5が相互に接続されて構造体10Bを形成し、この構造体10Bは他の端子（図示せず）を介して電源配線VDDに接続される。構造体10Aと構造体10Bとは相互に絶縁されている。

### 【0034】

ビアVA3とこれに隣り合うビアVB3との間の距離a（図2参照）は、例えば0.15μmである。ビアVA4とビアVB4との間の距離、及びビアVA5とビアVB5との間の距離も同じである。また、電極の長手方向におけるビアVA3間の距離b（図2参照）は、前述の距離aよりも大きく、例えば、0.17乃至0.19μmである。ビアVA4乃至VB5においても同様である。

### 【0035】

なお、図2並びに図3（a）及び（b）においては、図を簡略化するために、1枚の電極に3個のビアが接続されている例を示しているが、本実施形態はこれに限定されず、例えば1枚の電極に4個以上のビアが接続されていてもよい。

### 【0036】

次に、本実施形態に係る半導体装置の動作について説明する。接地配線GNDに接地電位が印加されると、電極5A、ビアVA5、電極4A、ビアVA4、電

極3A、ピアVA3及び電極2Aからなる構造体10Aに接地電位が印加される。また、電源配線VDDに電源電位が印加されると、電極5B、ピアVB5、電極4B、ピアVB4、電極3B、ピアVB3及び電極2Bからなる構造体10Bに電源電位が印加される。構造体10Aと構造体10Bとは相互に絶縁されているため、構造体10Aと構造体10Bとの間でキャパシタCが形成される。即ち、主として、相互に隣り合う電極2Aと電極2Bとの間、電極3Aと電極3Bとの間、電極4Aと電極4Bとの間、電極5Aと電極5Bとの間、及び、相互に隣り合うピアVA3とピアVB3との間、ピアVA4とピアVB4との間、ピアVA5とピアVB5との間がキャパシタとなる。このキャパシタCは、電源に並列に接続されたデカップリングキャパシタであり、電源ノイズを吸収することができる。

#### 【0037】

本実施形態においては、電極2A及び2Bを、配線層M2に、通常の配線と同時に形成することができる。電極3A乃至5Bについても同様に、各配線層における通常の配線と同時に形成することができる。また、ピアVA3及びVB3を、配線層M3に、通常のピアと同時に形成することができる。ピアVA4乃至VB5についても同様に、各配線層における通常のピアと同時に形成することができる。このため、キャパシタCを形成するための特別な工程を設ける必要がない。

#### 【0038】

また、本実施形態においては、配線層M2乃至M5において、4層の縦積構造のキャパシタCを形成している。このため、キャパシタCの単位面積当たりの容量値が大きい。

#### 【0039】

更に、電極2A乃至5Bを設計ルールが相互に同一である配線層M2乃至M5に形成しているため、電極2A乃至5Bの形状を同じ短冊状とし、配線層の積層方向から見て、電極2A乃至5A、及び電極2B乃至5Bを夫々相互に重ね合わせるように形成することができる。また、ピアVA3乃至VB5の形状を同じ形状とし、配線層の積層方向から見て、ピアVA3乃至VA5、及びピアVB3乃

至VB5を夫々相互に重ね合わせるように形成することができる。これにより、構造体10A及び10B内の内部抵抗を低減できると共に、構造体10A内のビアと構造体10B内のビアとの間の距離を小さくすることができる。この結果、キャパシタCの単位面積当たりの容量値をより一層増大させることができる。

#### 【0040】

更にまた、前記配線層の積層方向から見て、各電極の形状を短冊状とし、相互に平行に配置している。このため、各電極におけるキャパシタCの容量値に寄与する側面の面積を増大させることができ、キャパシタCにおける単位面積当たりの容量値を増大させることができる。また、各電極間におけるビアが電極の長手方向に沿って1列に配置され、全ての接地電位が印加されたビアが、夫々電源電位が印加されたビアに対向するように配置されているため、キャパシタC全体の容量値が増大する。

#### 【0041】

また、電極の長手方向におけるビア間の距離bを、電極の短手方向における距離aよりも大きくしているため、構造体10Aと構造体10Bとの間の距離を増大させることなく、ビアを形成する際のリソグラフィの精度を確保することができる。これにより、接地電位が印加されたビアが、電源電位が印加されたビアに接触することを防止できる。なお、前記距離bを設計ルール上の最小寸法、例えば、 $0.14\mu m$ とすると、ビアを形成する際のリソグラフィの精度が低下し、ビアが大きくなり、ビア同士が短絡してしまう可能性がある。

#### 【0042】

なお、本実施形態においては、4層の配線層M2乃至M5にキャパシタCを形成する例を示したが、本発明はこれに限定されず、3層以下又は5層以上の配線層にキャパシタを形成してもよい。但し、キャパシタを形成する配線層は、相互に同一の設計ルールで設けられていることが好ましい。また、単位面積当たりの容量値を確保するためには、3層以上の配線層にキャパシタを形成することが好ましい。

#### 【0043】

また、ビアVA3乃至VB5の寸法を、この半導体装置におけるキャパシタ形

成領域以外の領域におけるビアの寸法よりも大きくしてもよい。これにより、キャパシタCにおいて、ビア間に生じる容量値を増大させることができる。

#### 【0044】

更に、ビアの形状は正方形状に限定されず、例えば、電極の長手方向に延びるスリット型のビアであってもよい。これにより、ビア間の容量値をより一層増加させることができる。

#### 【0045】

更にまた、本実施形態においては、構造体10Aを接地配線GNDに接続し、構造体10Bを電源配線VDDに接続し、キャパシタCを電源に並列に接続されたデカップリングキャパシタとする例を示したが、本発明はこれに限定されず、キャパシタCを、回路を構成するキャパシタとして使用してもよい。

#### 【0046】

更にまた、キャパシタCを含む半導体装置を半導体チップ上に形成してもよく、このとき、この半導体チップの外周部に接地配線GND及び電源配線VDDを配置してもよい。

#### 【0047】

また、キャパシタCの下層に、通常のMIMキャパシタを形成してもよい。即ち、配線層M1におけるキャパシタCの直下域に接地配線GNDに接続されたプレート状の上部電極を形成し、この上部電極の直下域に厚さが例えば50nmの容量絶縁膜を形成し、この容量絶縁膜の直下域に電源配線VDDに接続されたプレート状の下部電極を形成し、この上部電極と下部電極とによりキャパシタを形成してもよい。これにより、この配線層M1に形成されたプレート状のキャパシタと、配線層M2乃至M5に形成されたキャパシタCとを並列に接続することができ、単位面積あたりの容量値をより一層増大させることができる。

#### 【0048】

更に、キャパシタCの下層に、PN接合によるキャパシタを形成してもよい。例えば、キャパシタCの直下域における半導体基板の表面又は配線層M1に、電源配線VDDに接続されたN型半導体層を形成する。そして、キャパシタCの直下域における半導体基板の表面又は配線層M1に、前記N型半導体層に接するよ

うに接地配線GNDに接続されたP型半導体層を形成する。これにより、N型半導体層とP型半導体層との間に逆バイアスのPN接合が形成され、キャパシタが形成される。この結果、このPN接合によるキャパシタと、配線層M2乃至M5に形成されたキャパシタCとを並列に接続することができ、単位面積あたりの容量値をより一層増大させることができる。

#### 【0049】

更にまた、半導体基板内におけるキャパシタCの直下域に、電源配線VDDに接続されたN型半導体領域を形成し、このN型半導体領域に接するように接地配線GNDに接続されたP型半導体領域を形成してもよい。これにより、このN型半導体領域とP型半導体領域との間に逆バイアスのPN接合が形成され、キャパシタが形成される。この結果、このPN接合によるキャパシタと、配線層M2乃至M5に形成されたキャパシタCとを並列に接続することができ、単位面積あたりの容量値をより一層増大させることができる。

#### 【0050】

更にまた、本実施形態においては、電極の形状を短冊状とし、この電極を相互に平行に配列する例を示したが、本発明はこれに限定されない。例えば、電極の形状を曲線状の配線形状としてもよく、また、同一の配線層において、接地配線に接続された電極と、電源電位に接続された電極とを、交互にマトリクス状に配列してもよい。

#### 【0051】

##### 【発明の効果】

以上詳述したように、本発明によれば、半導体装置の各配線層において、第1及び第2の電極を通常の配線と同時に形成することができると共に、第1及び第2のビアを通常のビアと同時に形成することができる。このため、キャパシタを形成するための特別な工程を必要とせずに、MIMキャパシタを備えた半導体装置を作製することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の実施形態に係る半導体装置に設けられたMIMキャパシタを示す斜視

図である。

**【図2】**

このMIMキャパシタを示す平面図である。

**【図3】**

(a) は図2に示すA-A線による断面図であり、(b) はB-B線による断面図である。

**【図4】**

従来のMIMキャパシタを備えた半導体装置を示す断面図である。

**【図5】**

(a) は他の従来のMIMキャパシタを備えた半導体装置を示す平面図であり、(b) は(a)に示すD-D線による断面図である。

**【符号の説明】**

1 ; 層間絶縁膜

2 A ~ 5 A、2 B ~ 5 B ; 電極

V A 3 ~ V A 5、V B 3 ~ V B 5 ; ビア

GND ; 接地配線

VDD ; 電源配線

M 2 ~ M 5 ; 配線層

10 A、10 B ; 構造体

a、b ; 距離

101 ; 基板

102 ; 酸化膜

103 ; 下部電極

104 ; 容量絶縁膜

105 ; 上部電極

106 ; キャップ膜

107 ; 下地層

108、110 ; ビア

109、111 ; 配線

112 ; MIM キャパシタ

113 ; 層間絶縁膜

121 ; シリコン基板

122 ; 拡散層

123 ; 層間絶縁膜

124 ; プラグ

125 ; 下部電極

126 ; バリア絶縁層

127 ; 高誘電率膜

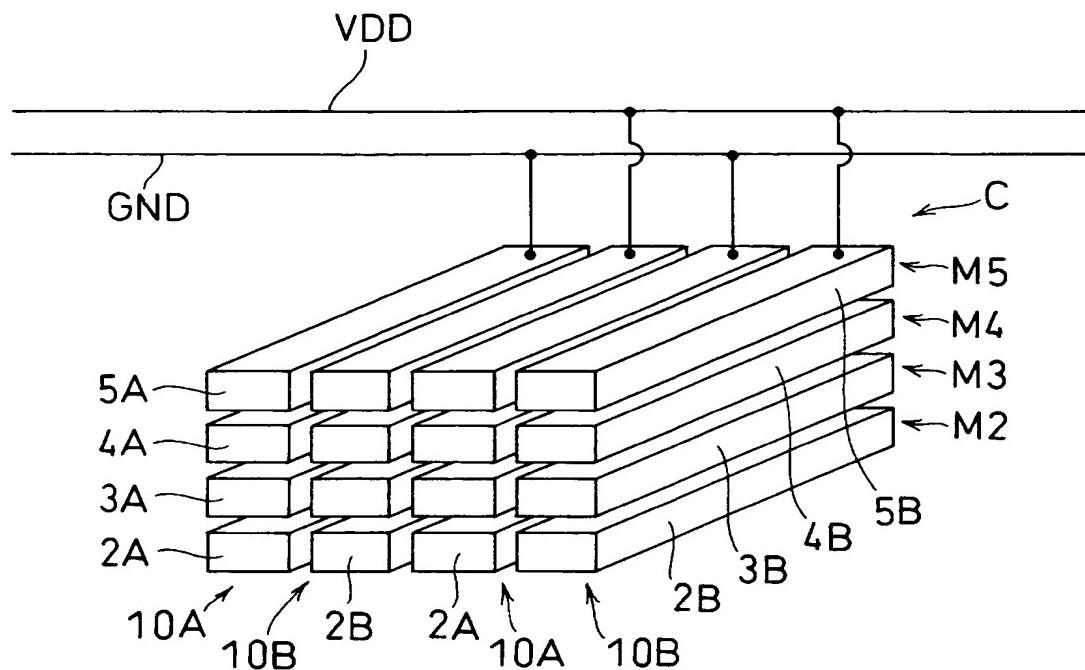
128 ; 容量絶縁膜

129 ; 上部電極

130 ; キャパシタ

【書類名】 図面

【図 1】

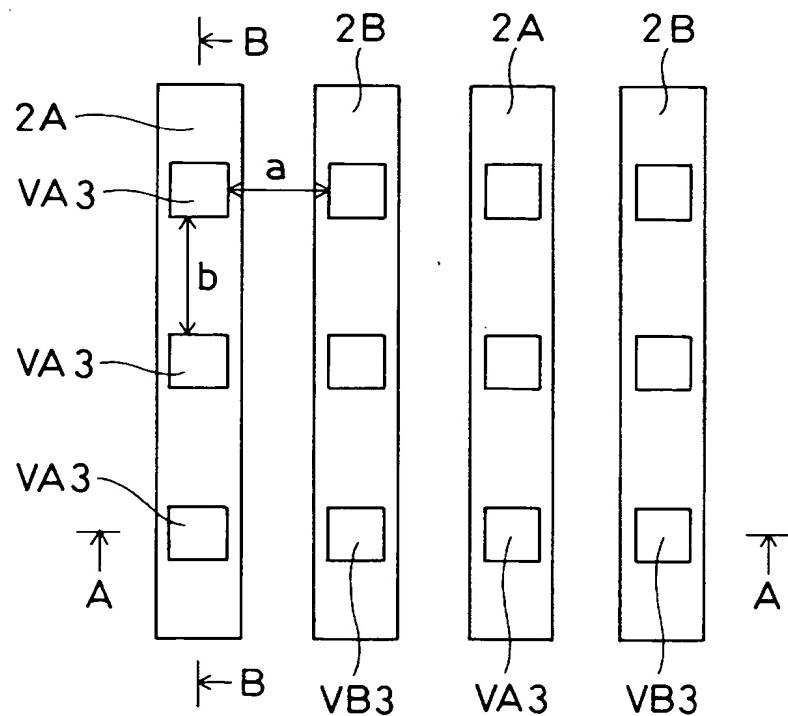


2A～5A、2B～5B；電極 VA3～VA5、VB3～VB5；ビア

GND；接地配線 VDD；電源配線

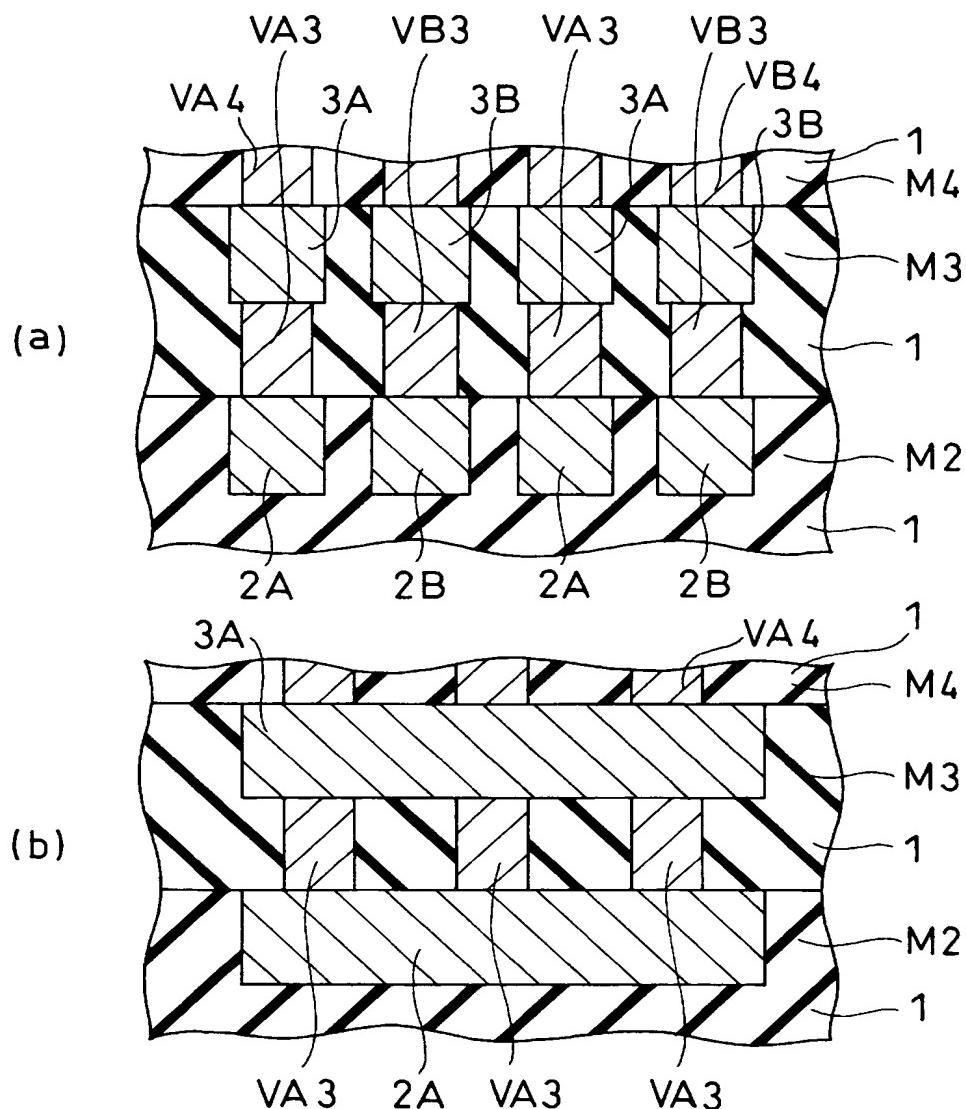
M2～M5；配線層 10A、10B；構造体

【図2】



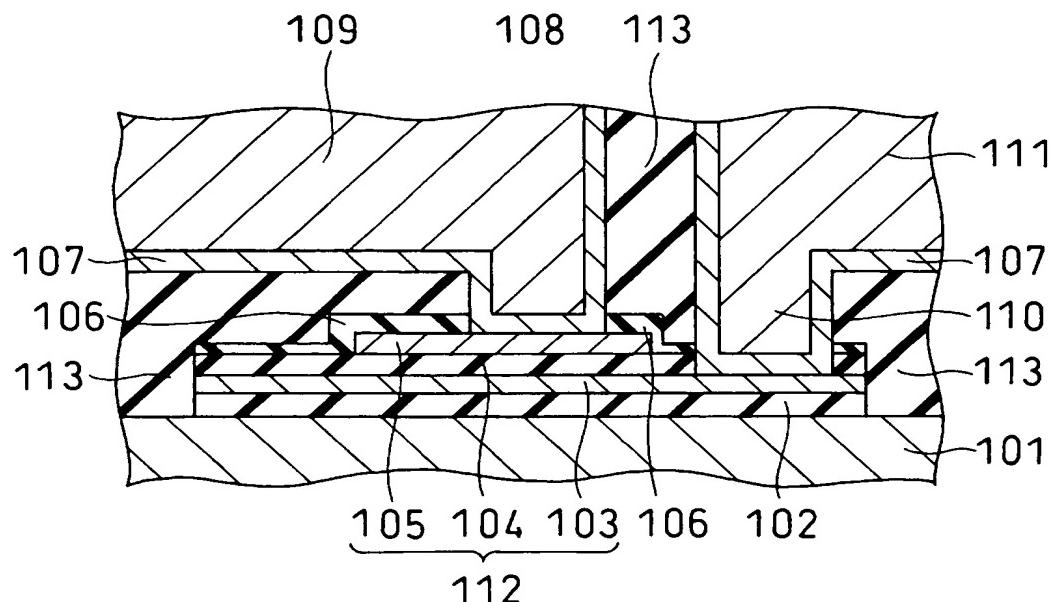
a、b ; 距離

【図3】



1 : 層間絶縁膜

【図4】



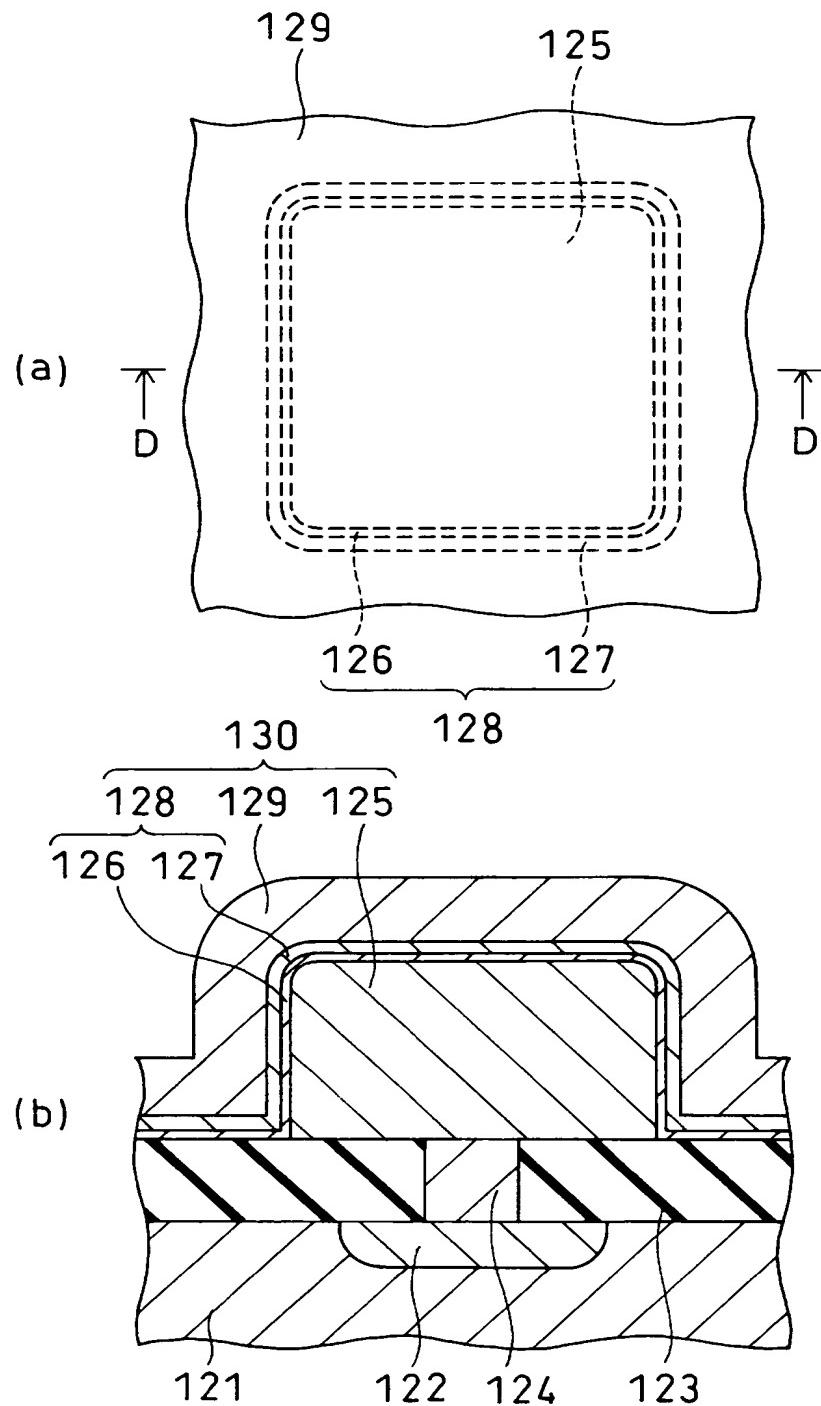
101 ; 基板 102 ; 酸化膜 103 ; 下部電極

104 ; 容量絶縁膜 105 ; 上部電極 106 ; キャップ膜

107 ; 下地層 108、110 ; ビア 109、111 ; 配線

112 ; MIMキャパシタ 113 ; 層間絶縁膜

【図5】



【書類名】 要約書

【要約】

【課題】 MIMキャパシタを備えた半導体装置において、キャパシタを形成するための特別な工程を必要としない半導体装置を提供する。

【解決手段】 半導体装置において、相互に同一の設計ルールで設けられている配線層M2乃至M5の各層に、長手方向が同一である各4枚の短冊状の電極を、通常の配線と同時に形成する。例えば、配線層M2においては、電極2A及び電極2Bを各2枚ずつ相互に平行に、交互に、且つ相互に離隔して形成する。そして、電極2A乃至5Aをビアにより相互に接続し、電極2B乃至5Bをビアにより相互に接続し、電極2A乃至5A及びビアが相互に接続されてなる構造体10Aを接地配線GNDに接続し、電極2B乃至5B及びビアが相互に接続されてなる構造体10Bを電源配線VDDに接続する。これにより、構造体10A及び構造体10BによりキャパシタCが形成される。

【選択図】 図1

**認定・付加情報**

特許出願の番号	特願2003-008286
受付番号	50300060855
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月17日

**<認定情報・付加情報>**

【提出日】 平成15年 1月16日

次頁無

出証特2003-3096509

特願 2003-008286

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日  
[変更理由] 新規登録  
住所 神奈川県川崎市中原区下沼部1753番地  
氏名 NECエレクトロニクス株式会社